

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 8 月 2 6 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 2 3 9 3 8 0 号

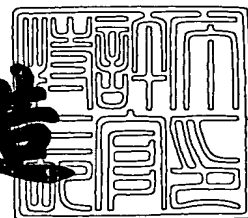
出 願 人
Applicant (s):

セイコーエプソン株式会社

2 0 0 1 年 3 月 1 6 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 1 9 5 8 0

【書類名】 特許願

【整理番号】 EP203501

【提出日】 平成11年 8月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/788

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 古畑 智之

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大瀧 美千栄

 【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

 【出願番号】 平成10年特許願第352498号

【出願日】 平成10年12月11日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 半導体基板における隣同士の第 1 及び第 2 のセル領域のそれぞれに、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを積層して形成する積層工程と、

前記第 1 及び第 2 のセル領域のそれぞれに、ソース及びドレインを形成し、前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とを電氣的に接続する接続領域を形成する複数回の不純物領域形成工程と、

を含み、

前記接続領域は、前記複数回の不純物領域形成工程のうちの 1 回によって形成される不純物領域よりも電氣的抵抗が低く形成される半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記積層工程で、前記半導体基板の表面における前記接続領域上に、溝が形成される半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、

前記積層工程は、

前記半導体基板の表面に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 1 の導電膜を形成し、前記第 1 及び第 2 のセル領域のそれぞれに対応して前記第 1 の導電膜をエッチングして、前記溝の形成領域で前記第 1 の絶縁膜の一部が露出する工程と、

前記第 1 の絶縁膜の露出した一部及び前記第 1 の導電膜上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜を、前記コントロールゲートに対応してエッチングする工程と、

前記第 2 の絶縁膜を、前記誘電体膜に対応してエッチングするとともに、前記

溝の形成領域で、前記第 1 の絶縁膜がエッチングされて前記半導体基板の表面の一部が露出する工程と、

前記第 1 の導電膜を、前記フローティングゲートに対応してエッチングするとともに、前記半導体基板の表面の露出した一部がエッチングされて前記溝が形成される工程と、

を含む半導体装置の製造方法。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記複数回の不純物領域形成工程は、前記接続領域を含む領域に第 1 の不純物を注入する工程と、前記第 1 及び第 2 のセル領域のソース及びドレインの形成領域を含む領域に第 2 の不純物を注入する工程と、を含む半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、

前記第 1 の不純物は、パターニングされたレジストをマスクとして注入され、
前記第 2 の不純物は、前記コントロールゲート、誘電体膜及びフローティングゲートをマスクとして注入される半導体装置の製造方法。

【請求項 6】 請求項 4 又は請求項 5 記載の半導体装置の製造方法において

前記第 1 の不純物は、前記第 1 のセル領域の前記フローティングゲートの直下の領域の端部から、前記第 2 のセル領域の前記フローティングゲートの直下の領域よりも手前に至るまで注入される半導体装置の製造方法。

【請求項 7】 請求項 4 又は請求項 5 記載の半導体装置の製造方法において

前記第 1 の不純物は、前記第 1 及び第 2 のセル領域の前記フローティングゲートの直下の領域を避けて注入される半導体装置の製造方法。

【請求項 8】 請求項 4 又は請求項 5 記載の半導体装置の製造方法において

前記第 1 の不純物は、前記第 1 及び第 2 のセル領域の前記フローティングゲートの直下の領域の端部を含む領域に注入される半導体装置の製造方法。

【請求項 9】 請求項 4 から請求項 8 のいずれかに記載の半導体装置の製造

方法において、

前記第 1 の不純物のドーズ量は、前記第 2 の不純物のドーズ量よりも高い半導体装置の製造方法。

【請求項 1 0】 請求項 4 から請求項 9 のいずれかに記載の半導体装置の製造方法において、

前記第 1 及び第 2 の不純物は、イオン打ち込み技術によって注入され、

前記第 1 の不純物を注入するエネルギーは、前記第 2 の不純物を注入するエネルギーよりも大きい半導体装置の製造方法。

【請求項 1 1】 請求項 4 から請求項 1 0 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の不純物を注入する工程を、前記第 1 及び第 2 のメモリセル領域の周辺回路を構成する MOS トランジスタのソース／ドレイン領域及びオフセット領域のうちの一方を形成する工程と同時に行う半導体装置の製造方法。

【請求項 1 2】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記接続領域は、前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とに隣接して形成され、

前記複数回の不純物領域形成工程は、

前記第 1 のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第 1 の不純物を注入する工程と、

前記第 2 のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第 2 の不純物を注入する工程と、

を含む半導体装置の製造方法。

【請求項 1 3】 半導体基板における隣同士の第 1 及び第 2 のセル領域のそれぞれに積層されたトンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートと、

前記第 1 及び第 2 のセル領域のそれぞれに形成されたソース及びドレインと、

前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とを電氣的に接続する接続領域と、 を含み、

前記接続領域は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインのうちの少なくともいずれか一つよりも電氣的抵抗が低い半導体装置。

【請求項 1 4】 請求項 1 3 記載の半導体装置において、
前記半導体基板の表面における前記接続領域上に、溝が形成された半導体装置

。【請求項 1 5】 請求項 1 3 又は請求項 1 4 記載の半導体装置において、
前記接続領域の不純物濃度は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインの前記一方の不純物濃度と同じであり、前記第 1 及び第 2 のセル領域の前記ソース及びドレインの他方の不純物濃度よりも高い半導体装置。

【請求項 1 6】 請求項 1 3 又は請求項 1 4 記載の半導体装置において、
前記接続領域の不純物濃度は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインのうちの全ての不純物濃度よりも高い半導体装置。

【請求項 1 7】 請求項 1 3 から請求項 1 6 のいずれかに記載の半導体装置において、

前記接続領域の少なくとも一部は、前記第 1 及び第 2 のメモリセル領域の周辺回路を構成する MOS トランジスタのソース／ドレイン領域及びオフセット領域のうち的一方と、ほぼ同一の不純物の深さ及び濃度を有する半導体装置。

【請求項 1 8】 請求項 1 3 から請求項 1 7 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 1 9】 請求項 1 8 記載の回路基板を有する電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0 0 0 2】

【発明の背景】

半導体装置として、例えばフラッシュメモリのように、フローティングゲートとコントロールゲートを備えたメモリが広く使用されている。メモリの最小単位となるメモリセルは、半導体基板の表面を酸化して形成したトンネル酸化膜（第

1 の絶縁膜) と、その上に形成されたフローティングゲート (第 1 のポリシリコン膜) と、その上に形成された誘電体膜 (第 2 の絶縁膜) と、その上に形成されたコントロールゲート (第 2 のポリシリコン膜) とを有する。また、半導体基板には、トンネル酸化膜の下であって、フローティングゲートを挟む位置に、ソース領域とドレイン領域とが形成されている。ソース領域及びドレイン領域の一方 (第 1 の不純物領域) は、隣のメモリセルのソース領域及びドレイン領域の一方 (第 2 の不純物領域) に、接続領域 (第 3 の不純物領域) を介して接続されている。

【0003】

ここで、第 1 及び第 2 の不純物領域に要求される深さ及び不純物濃度で、第 3 の不純物領域も同時に形成すると、接続領域 (第 3 の不純物領域) の抵抗が高くなり、信号の伝達が遅れるという問題がある。

【0004】

本発明は、この問題点を解決するものであり、その目的は、最小単位間の信号の伝達の遅れを防ぐ半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、半導体基板における隣同士の第 1 及び第 2 のセル領域のそれぞれに、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを積層して形成する積層工程と、

前記第 1 及び第 2 のセル領域のそれぞれに、ソース及びドレインを形成し、前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とを電氣的に接続する接続領域を形成する複数回の不純物領域形成工程と、

を含み、

前記接続領域は、前記複数回の不純物領域形成工程のうちの 1 回によって形成される不純物領域よりも電氣的抵抗が低く形成される。

【0006】

本発明によれば、第 1 及び第 2 のセル領域同士を接続する接続領域の電気的抵抗が低いので、信号の伝達の遅れを防ぐことができる。ここで、電気的抵抗を低くするためには、接続領域の不純物の濃度を高めたり、接続領域を大きくするなど種々の方法があり得る。

【0007】

(2) この半導体装置の製造方法において、

前記積層工程で、前記半導体基板の表面における前記接続領域上に、溝が形成されてもよい。

【0008】

このような溝が形成されると、接続領域の形状が変形するが、本発明を適用することで、電気的抵抗を低くすることができる。

【0009】

(3) この半導体装置の製造方法において、

前記積層工程は、

前記半導体基板の表面に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 1 の導電膜を形成し、前記第 1 及び第 2 のセル領域のそれぞれに対応して前記第 1 の導電膜をエッチングして、前記溝の形成領域で前記第 1 の絶縁膜の一部が露出する工程と、

前記第 1 の絶縁膜の露出した一部及び前記第 1 の導電膜上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜を、前記コントロールゲートに対応してエッチングする工程と、

前記第 2 の絶縁膜を、前記誘電体膜に対応してエッチングするとともに、前記溝の形成領域で、前記第 1 の絶縁膜がエッチングされて前記半導体基板の表面の一部が露出する工程と、

前記第 1 の導電膜を、前記フローティングゲートに対応してエッチングするとともに、前記半導体基板の表面の露出した一部がエッチングされて前記溝が形成される工程と、

を含んでもよい。

【 0 0 1 0 】

このような工程で半導体装置を製造すると、接続領域の上に溝が形成されることを避けられない。この場合に、本発明を適用することは効果的である。

【 0 0 1 1 】

(4) この半導体装置の製造方法において、

前記複数回の不純物領域形成工程は、前記接続領域を含む領域に第 1 の不純物を注入する工程と、前記第 1 及び第 2 のセル領域のソース及びドレインの形成領域を含む領域に第 2 の不純物を注入する工程と、を含んでもよい。

【 0 0 1 2 】

これによれば、ソース及びドレインを形成するための不純物の注入と、接続領域を形成するための不純物の注入とは、別々に行われる。したがって、それぞれに最適の条件で不純物を注入することができるので、接続領域の抵抗値を下げることも容易である。

【 0 0 1 3 】

(5) この半導体装置の製造方法において、

前記第 1 の不純物は、パターニングされたレジストをマスクとして注入され、
前記第 2 の不純物は、前記コントロールゲート、誘電体膜及びフローティングゲートをマスクとして注入されてもよい。

【 0 0 1 4 】

第 1 の不純物は、接続領域を形成するためのものであるから、できるだけソース及びドレインと重複しないことが好ましい。そのため、第 1 の不純物は、パターニングされたレジストをマスクとして注入されることが好ましい。一方、第 2 の不純物は、ソース及びドレインを形成するためのものであるから、少なくともフローティングゲートの下方で連続的な層にならないことが必要である。そのため、フローティングゲート及びその上方に積層されたものをマスクとすれば、レジストをパターニングする必要性がなくなる。

【 0 0 1 5 】

(6) この半導体装置の製造方法において、

前記第 1 の不純物は、前記第 1 のセル領域の前記フローティングゲートの直下の領域の端部から、前記第 2 のセル領域の前記フローティングゲートの直下の領域よりも手前に至るまで注入されてもよい。

【0 0 1 6】

(7) この半導体装置の製造方法において、

前記第 1 の不純物は、前記第 1 及び第 2 のセル領域の前記フローティングゲートの直下の領域を避けて注入されてもよい。

【0 0 1 7】

(8) この半導体装置の製造方法において、

前記第 1 の不純物は、前記第 1 及び第 2 のセル領域の前記フローティングゲートの直下の領域の端部を含む領域に注入されてもよい。

【0 0 1 8】

(9) この半導体装置の製造方法において、

前記第 1 の不純物のドーズ量は、前記第 2 の不純物のドーズ量よりも高くてもよい。

【0 0 1 9】

こうすることで、接続領域の不純物濃度が高くなり、その電気的な抵抗値が低くなる。

【0 0 2 0】

(1 0) この半導体装置の製造方法において、

前記第 1 及び第 2 の不純物は、イオン打ち込み技術によって注入され、

前記第 1 の不純物を注入するエネルギーは、前記第 2 の不純物を注入するエネルギーよりも大きくてもよい。

【0 0 2 1】

こうすることで、接続領域が深くまで形成されるので、断面積が大きくなって電気的な抵抗値が低くなる。

【0 0 2 2】

(1 1) この半導体装置の製造方法において、

前記第 1 の不純物を注入する工程を、前記第 1 及び第 2 のメモリセル領域の周

辺回路を構成するMOSトランジスタのソース／ドレイン領域及びオフセット領域のうち的一方を形成する工程と同時に行ってよい。

【 0 0 2 3 】

こうすることで、周辺回路の形成と同時に第 1 の不純物を注入することができる。

【 0 0 2 4 】

(1 2) この半導体装置の製造方法において、

前記接続領域は、前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とに隣接して形成され、

前記不純物領域形成工程は、

前記第 1 のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第 1 の不純物を注入する工程と、

前記第 2 のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第 2 の不純物を注入する工程と、

を含んでもよい。

【 0 0 2 5 】

これによれば、第 1 の不純物によって第 1 のセル領域のソース及びドレインが形成され、第 2 の不純物によって第 2 のセル領域のソース及びドレインが形成される。また、接続領域には、第 1 及び第 2 の不純物が重複して注入されるので、その不純物濃度が高くなって、電気的な抵抗値が低くなる。

【 0 0 2 6 】

(1 3) 本発明に係る半導体装置は、半導体基板における隣同士の第 1 及び第 2 のセル領域のそれぞれに積層されたトンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートと、

前記第 1 及び第 2 のセル領域のそれぞれに形成されたソース及びドレインと、

前記第 1 のセル領域の前記ソース及びドレインの一方と前記第 2 のセル領域の前記ソース及びドレインの一方とを電氣的に接続する接続領域と、 を含み、

前記接続領域は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインのうちの少なくともいずれか一つよりも電氣的抵抗が低い。

【 0 0 2 7 】

本発明によれば、第 1 及び第 2 のセル領域同士を接続する接続領域の電気的抵抗が低いので、信号の伝達の遅れを防ぐことができる。ここで、電気的抵抗を低くするためには、接続領域の不純物の濃度を高めたり、接続領域を大きくするなど種々の構成があり得る。

【 0 0 2 8 】

(1 4) この半導体装置において、
前記半導体基板の表面における前記接続領域上に、溝が形成されてもよい。

【 0 0 2 9 】

このような溝が形成されると、接続領域が変形するが、本発明を適用することで、電気的抵抗を低くすることができる。

【 0 0 3 0 】

(1 5) この半導体装置において、
前記接続領域の不純物濃度は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインの前記一方の不純物濃度と同じであり、前記第 1 及び第 2 のセル領域の前記ソース及びドレインの他方の不純物濃度よりも高くてもよい。

【 0 0 3 1 】

(1 6) この半導体装置において、
前記接続領域の不純物濃度は、前記第 1 及び第 2 のセル領域の前記ソース及びドレインのうちの全ての不純物濃度よりも高くてもよい。

【 0 0 3 2 】

(1 7) この半導体装置において、
前記接続領域の少なくとも一部は、前記第 1 及び第 2 のメモリセル領域の周辺回路を構成する MOS トランジスタのソース／ドレイン領域及びオフセット領域のうち的一方と、ほぼ同一の不純物の深さ及び濃度を有してもよい。

【 0 0 3 3 】

(1 8) 本発明に係る回路基板には、上記半導体装置が実装される。

【 0 0 3 4 】

(1 9) 本発明に係る電子機器は、上記回路基板を有する。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照して説明する。

【 0 0 3 6 】

(第 1 の実施の形態)

図 1 ～図 3 は、本発明の第 1 の実施の形態に係る半導体装置を示す図である。

なお、図 1 は図 2 に示す I - I 線断面図であり、図 3 は図 2 に示す III - III 線断面図である。

【 0 0 3 7 】

本実施の形態に係る半導体装置は、電氣的に書込みが可能なメモリ (ROM ; Read Only Memory) であり、消去も電氣的に行うように構成することができる。あるいは、消去を紫外線の照射によって行う紫外線消去型 ROM、すなわち EPROM (Electrically Programmable ROM) に本発明を適用することもできる。この半導体装置は、不揮発性半導体記憶装置である。情報の記憶の最小単位は、メモリセルであり、複数のメモリセルが並べられてメモリアレイを構成することができる。この場合、複数のメモリセルは規則正しく、複数行複数列で並べることができる。以下の説明では、隣同士の第 1 及び第 2 のメモリセルについてのみ述べる。

【 0 0 3 8 】

図 1 に示すように、本実施の形態に係る半導体装置は、第 1 のメモリセル領域 1 0 と、第 2 のメモリセル領域 2 0 と、を有する。第 1 のメモリセル領域 1 0 には、トンネル絶縁膜 1 2、フローティングゲート 1 4、誘電体膜 1 6 及びコントロールゲート 1 8 が下から順に、半導体基板 3 0 上に積層されている。第 2 のメモリセル領域 2 0 には、トンネル絶縁膜 2 2、フローティングゲート 2 4、誘電体膜 2 6 及びコントロールゲート 2 8 が下から順に、半導体基板 3 0 上に積層されている。

【 0 0 3 9 】

図 3 に示すように、コントロールゲート 1 8、2 8 は連続的に形成されており、電氣的に導通している。フローティングゲート 1 4、2 4 は、埋め込み絶縁膜

6 2によって隔離されて、電氣的に導通しないようになっている。埋め込み絶縁膜 6 2は、例えば、LOCOS (Local Oxidation of Silicon) を適用して形成することができる。

【0040】

トンネル絶縁膜 1 2、2 2及び誘電体膜 1 6、2 6は、電氣的な絶縁膜である。トンネル絶縁膜 1 2、2 2は、酸化膜で形成されるときには、トンネル酸化膜とよばれる。半導体基板 3 0が、シリコンウエハ等であって、シリコンで構成される場合には、トンネル絶縁膜 1 2、2 2は、シリコン酸化膜で形成することができる。また、誘電体膜 1 6、2 6は、シリコン酸化膜の間にシリコン窒化膜が形成されてなるONO膜で形成してもよい。フローティングゲート 1 4、2 4及びコントロールゲート 1 8、2 8は導電膜である。ここで、導電膜とは、導体又は半導体のいずれであってもよい。

【0041】

第1のメモリセル領域 1 0には、ソース及びドレインの一方 3 2及び他方 3 4（以下、ソース／ドレイン 3 2、3 4という）が形成されている。詳しくは、ソース／ドレイン 3 2、3 4は、半導体基板 3 0におけるトンネル絶縁膜 1 2の形成された面を含む領域又はこの面の付近に形成される。また、ソース／ドレイン 3 2、3 4は、トンネル絶縁膜 1 2の下であって、フローティングゲート 1 4を挟む位置に形成されている。ソース／ドレイン 3 2、3 4は、フローティングゲート 1 4の直下の領域の端部の一部に至るまで形成されている。ただし、ソース／ドレイン 3 2、3 4は、半導体基板 3 0の材料を介して隔離されている。

【0042】

第2のメモリセル領域 2 0には、ソース及びドレインの一方 3 6及び他方 3 8（以下、ソース／ドレイン 3 6、3 8という）が形成されている。詳しくは、ソース／ドレイン 3 6、3 8は、半導体基板 3 0におけるトンネル絶縁膜 2 2の形成された面を含む領域又はこの面の付近に形成される。また、ソース／ドレイン 3 6、3 8は、トンネル絶縁膜 2 2の下であって、フローティングゲート 2 4を挟む位置に形成されている。ソース／ドレイン 3 6、3 8は、フローティングゲート 2 4の直下の領域の端部の一部に至るまで形成されている。ただし、ソース

／ドレイン 3 6、3 8 は、半導体基板 3 0 の材料を介して隔離されている。

【0 0 4 3】

第 1 及び第 2 のメモリセル領域 1 0、2 0 におけるソース及びドレインの一方 3 2、3 6 は、接続領域 4 0 を介して電氣的に接続されている。接続領域 4 0 は、第 1 の不純物領域 4 2 の少なくとも一部と、第 2 の不純物領域 4 4 の少なくとも一部と、から構成される。図 1 には、接続領域 4 0 が、第 1 の不純物領域 4 2 の全部と第 2 の不純物領域 4 4 の一部とが重複して形成された例が示されている。

【0 0 4 4】

第 2 の不純物領域 4 4 は、第 1 のメモリセル領域 1 0 におけるソース及びドレインの一方 3 2 を含む領域から、第 2 のメモリセル領域 2 0 におけるソース及びドレインの一方 3 6 を含む領域に至るまでの範囲で形成される。第 2 の不純物領域 4 4 は、第 1 及び第 2 のメモリセル領域 1 0、2 0 におけるソース及びドレインの一方 3 2、3 6 間で、接続領域 4 0 の一部も構成する。

【0 0 4 5】

第 1 の不純物領域 4 2 は、部分的に第 2 の不純物領域 4 4 と重複してもよい。この場合、重複した領域では、不純物濃度が高くなるので電氣的抵抗が低くなる。また、第 1 の不純物領域 4 2 は、第 2 の不純物領域 4 4 よりも深い位置まで形成されてもよい。この場合、接続領域 4 0 は、ソース及びドレインの一方 3 2、3 6 よりも深くまで形成されて断面が大きくなっているため、電氣的抵抗が低くなっている。あるいは、第 1 の不純物領域 4 2 の不純物濃度は、第 2 の不純物領域 4 4 の不純物濃度よりも高くてもよい。この場合にも、接続領域 4 0 の電氣的抵抗が低くなる。

【0 0 4 6】

接続領域 4 0 の少なくとも一部の上には、溝 4 6 が形成されている。溝 4 6 は、トンネル絶縁膜 1 2、2 2 の間であって、半導体基板 3 0 の表面に形成されている。溝 4 6 は、本実施の形態に係る半導体装置の製造工程で形成されるもので、詳細は後述する。本実施の形態では、溝 4 6 が形成されるため、接続領域 4 0 が変形するが、上記構成により、電氣的抵抗が低くならないようになっている。

【 0 0 4 7 】

すなわち、ソース／ドレイン 3 2、3 4、3 6、3 8 の少なくともいずれか一つと同じ深さかつ同じ不純物濃度で、溝 4 6 の周辺部に不純物領域が形成されると、溝 4 6 によって不純物領域が変形して電氣的抵抗が、ソース／ドレイン 3 2、3 4、3 6、3 8 よりも高くなる。そこで、本実施の形態では、接続領域 4 0 の深さ及び不純物濃度の少なくとも一方を、ソース／ドレイン 3 2、3 4、3 6、3 8 の少なくともいずれか一つよりも深くまたは高くすることで、電氣的な抵抗を低く抑えている。

【 0 0 4 8 】

上述したトンネル絶縁膜 1 2、2 2、フローティングゲート 1 4、2 4、誘電体膜 1 6、2 6、コントロールゲート 1 8、2 8 は、層間絶縁膜 4 8 にて覆われている。層間絶縁膜 4 8 は、シリコン酸化膜等の電氣的な絶縁膜である。

【 0 0 4 9 】

第 1 及び第 2 のメモリセル領域 1 0、2 0 におけるソース及びドレインの他方 3 4、3 8 の上方には、トンネル絶縁膜 1 2、2 2 及び層間絶縁膜 4 8 を貫通するコンタクトホール 5 0、5 2 が形成されている。コンタクトホール 5 0、5 2 を介して、電極 5 4、5 6 が、ソース及びドレインの他方 3 4、3 8 に電氣的に接続されている。電極 5 4、5 6 と一体的に、第 1 又は第 2 のビット線 B L 1、B L 2 が形成されている。

【 0 0 5 0 】

図 4 は、本発明を適用した第 1 の実施の形態に係る半導体装置の一部の回路を示す図である。同図には、メモリアレイの一部をなす複数のメモリセル 1 ～ 4 が示されている。メモリセル 1、2 は、図 1 に示すメモリセル領域 1 0、2 0 に形成される構成に相当するので、同一の構成には同一の符号を付す。以下、メモリセル 1、2 について説明する。

【 0 0 5 1 】

メモリセル 1、2 は、図 1 にも示されるビット線 B L 1、B L 2 に接続されていることに加えて、ワード線 W L に接続されている。ワード線 W L は、メモリセル 1、2 のコントロールゲート 1 8、2 8 に接続されている。メモリセル 1、2

のソース／ドレイン 32、36 は、ソース線 SL によって接続されている。なお、ソース／ドレイン 32、36 及びソース線 SL は、図 1 に示す第 2 の不純物領域 44 によって形成されている。第 2 の不純物領域 44 には、溝 46 が形成されるので、ソース線 SL には抵抗 R が形成される。また、溝 46 を含む領域には、図 1 に示す接続領域 40 が形成されることで、抵抗 R の両端を抵抗 R' ($R' < R$ であることが好ましい) が直結する。したがって、抵抗 R に比較し低抵抗化が図られ、信号の遅れがなくなる。

【0052】

本実施の形態に係る半導体装置は、上記の構成になっており、以下その動作を説明する。

【0053】

メモリセル 1、2 への書込み動作を説明する。ワード線 WL を介してコントロールゲート 18、28 に高電圧 V_{ch} (例えば 12 V) を印加する。好ましくは同時に、メモリセル 1、2 のソース／ドレイン (この場合はドレイン) 34、38 のうち、書込みを行うものに高電圧 V_{dh} (例えば 5.5 V) を印加する。この高電圧 V_{dh} は、ビット線 BL1、BL2 を介して印加される。好ましくは同時に、ソース線 SL を、低電位 V_{sL} (例えば接地電位) に設定する。このとき、ソース線 SL は、抵抗 R' (接続領域 40) が設けられているので、短時間で低電位 V_{sL} に設定することができる。

【0054】

こうすることで、ソース／ドレイン 34、38 のうち、高電圧 V_{dh} が印加されたものから、ソース線 SL の方向に電流が流れる。そのとき、ソース線 SL から、フローティングゲート 14、24 に電子 (ホットエレクトロンと呼ばれることがある。) が注入される。その結果、メモリセル 1、2 が構成するトランジスタのしきい値電圧 V_{th} が、標準電圧 V_{cc} (例えば 5 V) よりも高くなる。しきい値電圧 V_{th} が標準電圧 V_{cc} よりも高くなれば情報が書き込まれたことになり、しきい値電圧 V_{th} が標準電圧 V_{cc} よりも低ければ情報が書き込まれていないことになる。

【0055】

次に、メモリセル 1、2 からの読出し動作を説明する。ワード線 WL を介してコントロールゲート 18、28 に標準電圧 V_{cc} （例えば 5 V）を印加する。このとき、メモリセル 1、2 のうち、書込みが行われているものは、しきい値電圧 V_{th} が標準電圧 V_{cc} より高いので、メモリセル 1、2 が構成するトランジスタは、OFF である。また、メモリセル 1、2 のうち、書込みが行われていないものは、しきい値電圧 V_{th} が標準電圧 V_{cc} より低いので、メモリセル 1、2 が構成するトランジスタは、ON となる。例えば、ソース線 SL と、ビット線 BL1、BL2 と、を異なる所定の電位に設定し、ビット線 BL1、BL2 を流れる電流を検出することで、トランジスタの ON、OFF を検出し、書込みの有無を判断することができる。この場合にも、ソース線 SL は、抵抗 R' （接続領域 40）が設けられているので、短時間で所定の電位に設定することができる。

【0056】

次に、メモリセル 1、2 の消去の動作を説明する。ソース線 SL に高電圧 V_{sh} （例えば 5 V）を印加する。好ましくは同時に、ワード線 WL を介してコントロールゲート 18、28 に、少なくとも接地電位以下の低電圧 V_{cl} （例えば -7 V）を印加する。好ましくは同時に、メモリセル 1、2 のソース／ドレイン 34、38 のうち、消去が行われるもの（一般的には全部）は、ビット線 BL1、BL2 を介して浮遊状態（オープン）に保たれる。

【0057】

こうすることで、フローティングゲートからソース線 SL の方向に、電子が引き抜かれる。そして、しきい値電圧 V_{th} が標準電圧 V_{cc} よりも低くなるので、書き込まれていない状態となって消去が完了する。

【0058】

次に、本発明の第 1 の実施の形態に係る半導体装置の製造方法を、図 5 ～ 図 12 を参照して説明する。

【0059】

まず、図 5 に示すように、半導体基板 30 の表面の上に第 1 の絶縁膜 112 を形成し、その上に第 1 の導電膜 114 を形成する。第 1 の絶縁膜 112 を構成する材料は電氣的に絶縁性を有する。第 1 の絶縁膜 112 は、例えば熱酸化法によ

って半導体基板 3 0 の表面に酸化膜を形成して得ることができる。半導体基板 3 0 がシリコンから構成される場合には、第 1 の絶縁膜 1 1 2 はシリコン酸化膜である。第 1 の絶縁膜 1 1 2 の厚みは、7 ~ 1 0 n m 程度とすることが好ましい。第 1 の絶縁膜 1 1 2 は、エッチングされてトンネル絶縁膜 1 2、2 2 になる。第 1 の絶縁膜 1 1 2 がシリコン酸化膜の場合は、トンネル絶縁膜 1 2、2 2 は、トンネル酸化膜である。

【 0 0 6 0 】

第 1 の導電膜 1 1 4 を構成する材料は、電気的な導体のみならずシリコン等の半導体も含む。第 1 の導電膜 1 1 4 は、例えば C V D 法によって、第 1 の絶縁膜 1 1 2 上にポリシリコン膜を形成して得ることができる。第 1 の導電膜 1 1 4 の厚みは、1 0 0 ~ 2 0 0 n m 程度とすることが好ましい。第 1 の導電膜 1 1 4 は、エッチングされてフローティングゲート 1 4、2 4 になる。

【 0 0 6 1 】

次に、図 6 に示すように、第 1 及び第 2 のメモリセル領域 1 0、2 0 に対応して、第 1 の導電膜 1 1 4 の一部を選択的にエッチング除去し、その上に第 2 の絶縁膜 1 1 6 を形成する。第 1 の導電膜 1 1 4 のエッチングは、例えばフォトリソグラフィの技術によって行うことができる。また、ここで、適用されるエッチングは選択エッチングであり、第 1 の導電膜 1 1 4 をエッチングするが、第 1 の絶縁膜 1 1 2 をエッチングしないように条件が設定される。

【 0 0 6 2 】

第 2 の絶縁膜 1 1 6 は、第 1 の導電膜 1 1 4 におけるエッチングされて残った部分と、第 1 の導電膜 1 1 4 の一部がエッチング除去されて露出した第 1 の絶縁膜 1 1 2 と、の上に形成される。第 2 の絶縁膜 1 1 6 は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を積層して形成してもよい。この場合の第 2 の絶縁膜 1 1 6 は O N O 膜である。ここで、シリコン酸化膜は、C V D 法又は熱酸化膜法で形成することができ、シリコン窒化膜は、C V D 法により形成することができる。

【 0 0 6 3 】

次に、図 7 に示すように、第 2 の絶縁膜 1 1 6 上に、第 2 の導電膜 1 1 8 を形

成する。第2の導電膜118を構成する材料は、電気的な導体のみならずシリコン等の半導体も含む。第2の導電膜118は、例えばCVD法によって、第2の絶縁膜116上にポリシリコン膜を形成して得ることができる。第2の導電膜118の厚みは、200~400nm程度とすることが好ましい。なお、第2の導電膜118の他の例として、厚さ80~200nmのポリシリコン膜と、その上に形成された厚さ80~200nmの WSi_2 、 $MoSi_2$ 、 $CoSi_2$ 、 $TiSi_2$ などからなるシリサイドと、の積層構造がある。

【0064】

そして、第2の導電膜118上に、パターニングされたレジスト120を形成する。レジスト120は、コントロールゲート18、28に相当する領域において、第2の導電膜118の表面を覆うようにパターニングされる。

【0065】

次に、レジスト120をマスクとして、第2の導電膜118を選択的にエッチングして、図8に示すように、コントロールゲート18、28を形成する。ここで適用されるエッチングは、選択エッチングであるため、第2の絶縁膜116はエッチングされない。

【0066】

続いて、レジスト120及びコントロールゲート18、28をマスクとして、第2の絶縁膜116を選択的にエッチングする。エッチングにより、第2の絶縁膜116におけるコントロールゲート18、28の直下の部分が残し、それ以外の部分が除去される。その結果、図9に示すように、誘電体膜16、26が形成される。また、第2の絶縁膜116における第1の絶縁膜112上に形成された部分も、エッチングにより除去されるので、第1の絶縁膜112の一部が露出する。この露出する部分は、第1及び第2のメモリセル領域10、20の間の領域である。

【0067】

ここで適用されるエッチングは選択エッチングであるが、第1の絶縁膜112が第2の絶縁膜116と同等の性質を有する場合、例えば共に酸化膜である場合などには、第2の絶縁膜116とともに第1の絶縁膜112もエッチングされる

。すなわち、第2の絶縁膜116が除去されて露出した第1の絶縁膜112の部分がエッチングされる。こうして、第1及び第2のメモリセル領域10、20の間で、半導体基板30の表面の一部が露出する。また、第1の絶縁膜112は、エッチングされて、トンネル絶縁膜12、22となる。

【0068】

次に、レジスト120及びコントロールゲート18、28をマスクとして、第1の導電膜114を選択的にエッチングする。エッチングにより、第1の導電膜114における誘電体膜16、26の直下の部分が残し、それ以外の部分が除去される。その結果、図10に示すように、フローティングゲート14、24が形成される。

【0069】

ここで適用されるエッチングは選択エッチングであるが、第1の導電膜114が半導体基板30と同等の性質を有する場合、例えば第1の導電膜114がシリコンで形成される場合などには、第1の導電膜114とともに半導体基板30もエッチングされる。すなわち、図9に示すように、半導体基板30の表面における第1及び第2のメモリセル領域10、20の間で露出した部分がエッチングされる。こうして、第1及び第2のメモリセル領域10、20の間で、半導体基板30の表面に溝46が形成される。なお、溝46の深さは、100～300nm程度となる場合がある。

【0070】

次に、レジスト120を除去し、図11に示すように、別のパターニングされたレジスト130を形成する。レジスト130は、少なくとも、半導体基板30に形成された溝46を避けて形成される。レジスト130は、溝46及びその周辺部を避けて形成することが好ましい。そして、少なくとも溝46が露出し、溝46以外の領域がレジスト130にて覆われる。または、溝46及びその周辺部が露出し、これ以外の領域がレジスト130にて覆われることが好ましい。

【0071】

レジスト130をマスクとして、半導体基板30の表面に第1の不純物140を注入する。例えば、イオン打ち込みの技術によって、40～120keVのエ

エネルギーで $1 \times 10^{14} \sim 6 \times 10^{15} / \text{cm}^2$ のドーズ量の条件によるリンのイオンと、 $30 \sim 80 \text{ keV}$ のエネルギーで $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ のドーズ量の条件によるリン又はヒ素のイオンと、のいずれか一方又は両方を注入をする。これらのイオンが第1の不純物140の一例である。第1の不純物140の注入後、アニールを行って、第1の不純物領域42を形成する。第1の不純物領域42は、例えば N^+ 型領域である。第1の不純物領域42の深さは、 $200 \sim 600 \text{ nm}$ 程度、不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度とすることができる。第1の不純物領域42を形成するときのアニールの条件は、雰囲気は N_2 又は N_2 / O_2 、温度が $900 \sim 950^\circ\text{C}$ 程度、時間が $30 \sim 180$ 分程度とすることができる。

【0072】

次に、レジスト130を除去し、図12に示すように、フローティングゲート14、24をマスクとして、半導体基板30の表面に第2の不純物150を注入する。例えば、イオン打ち込みの技術によって、 $40 \sim 120 \text{ keV}$ のエネルギーで $5 \times 10^{12} \sim 5 \times 10^{14} / \text{cm}^2$ のドーズ量の条件によるリンのイオンと、 $30 \sim 80 \text{ keV}$ のエネルギーで $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ のドーズ量の条件によるリン又はヒ素のイオンと、のいずれか一方又は両方を注入をする。これらのイオンが第2の不純物150の一例である。

【0073】

フローティングゲート14、24がマスクになっているが、第2の不純物150は、フローティングゲート14、24の直下の部分の端部にも入り込む。第2の不純物150の注入後、アニールを行って、第2の不純物領域44を形成する。第2の不純物領域44は、例えば、 N^+ 型領域である。第2の不純物領域44の深さは、 $100 \sim 400 \text{ nm}$ 程度、不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} / \text{cm}^3$ 程度とすることができる。

【0074】

第2の不純物領域44は、第1及び第2のメモリセル10、20のソース/ドレイン32、34、36、38を構成するとともに、ソース/ドレイン32、36を接続している。なお、第2の不純物領域44は、ソース/ドレイン32、3

6を接続する部分において溝46が形成されているので、溝46の周辺部が変形して、電氣的な抵抗が高くなっている。

【0075】

本実施の形態では、少なくとも溝46の直下の領域、好ましくは溝46の直下の領域及びその周辺部に、第1の不純物領域42が形成されている。したがって、第2の不純物領域44における溝46によって変形した部分が、第1の不純物領域42によって補われる。その結果、溝46の周辺部が、第1及び第2の不純物領域42、44によって接続されるので、電氣的抵抗を下げることができる。こうして、第1の不純物領域42の少なくとも一部と、第2の不純物領域44の一部と、によって接続領域40が形成される。接続領域40の電氣的抵抗値は、第2の不純物領域44における溝46による変形部分の電氣的抵抗値よりも低い。

【0076】

ここで、第1の不純物140を注入するエネルギーを、第2の不純物150を注入するエネルギーよりも大きくすれば、第1の不純物領域42を第2の不純物領域44よりも深くすることができる。この場合には、接続領域40が第2の不純物領域44よりも深くなることで、電氣的抵抗を下げることができる。

【0077】

また、第1の不純物140のドーズ量を、第2の不純物150のドーズ量よりも高くすれば、第1の不純物領域42の不純物濃度が高くなるので、接続領域40の電氣的抵抗を下げることができる。

あるいは、第2の不純物領域44における溝46により変形した部分に、第1の不純物領域42を重ねて形成してもよい。この場合には、第2の不純物領域44における溝46により変形した部分の不純物濃度が高くなって、接続領域40の電氣的抵抗を下げることができる。

【0078】

次に、図1に示すように、半導体基板30の表面全面に、例えばCVD法により層間絶縁膜48を形成する。層間絶縁膜48は、例えばシリコン酸化膜で形成することができる。層間絶縁膜48としてシリコン酸化膜の代わりに、PSG膜

、S O G膜またはB P S G膜を用いてもよい。P S G膜、S O G膜またはB P S G膜を単独に用いた一層構造でもよいし、または、シリコン酸化膜、P S G膜、S O G膜またはB P S G膜を組み合わせた多層構造でもよい。

【 0 0 7 9 】

そして、パターニングされたレジストを用いて、層間絶縁膜 4 8 及びトンネル絶縁膜 1 2、2 2 を選択的にエッチング除去し、ソース／ドレイン 3 4、3 8 の一部を露出させるコンタクトホール 5 0、5 2 を形成する。さらに、コンタクトホール 5 0、5 2 内に電極 5 4、5 6 を形成し、その上にビット線 B L 1、B L 2 を形成する。これらの形成は、公知の方法で行われる。

【 0 0 8 0 】

以上の工程によって、図 1 に示す半導体装置を得ることができる。この半導体装置によれば、第 1 及び第 2 のメモリセル領域 1 0、2 0 同士を接続する接続領域 4 0 の電氣的抵抗が低いので、信号の伝達の遅れを防ぐことができる。

【 0 0 8 1 】

(第 2 の実施の形態)

図 1 3 は、本発明の第 2 の実施の形態に係る半導体装置を説明する図である。本実施の形態では、第 1 の不純物領域が形成される範囲において、第 1 の実施の形態と異なる。すなわち、図 1 3 に示す第 1 の不純物領域 2 4 2 が、図 2 に示す第 1 の不純物領域 4 2 と異なる。これ以外の構成は、第 1 の実施の形態と同じであり、同一の符号を付す。以下、第 2 の実施の形態に係る半導体装置の製造方法を説明する。

【 0 0 8 2 】

まず、第 1 の実施の形態の図 5 ～図 1 0 に示す工程を行う。そして、図 1 4 に示すように、パターニングされたレジスト 2 3 0 を形成する。レジスト 2 3 0 は、溝 4 6 あるいは溝 4 6 及びその周辺部を避けて形成されている。さらに、レジスト 2 3 0 は、第 1 及び第 2 のメモリセル領域 1 0、2 0 のうち的一方において、コントロールゲート 1 8、誘電体膜 1 6 及びフローティングゲート 1 4 の一部を避けて形成されている。すなわち、第 1 及び第 2 のメモリセル領域 1 0、2 0 のうち的一方において、コントロールゲート 1 8、誘電体膜 1 6 及びフローティ

ングゲート 1 4 の一部が露出するように、レジスト 2 3 0 が形成されている。ここで、露出部分は、第 1 及び第 2 のメモリセル領域 1 0、2 0 の間を向く部分である。

【 0 0 8 3 】

このようにパターニングされたレジスト 2 3 0 をマスクとして、第 1 の不純物 1 4 0 を注入する。その条件は、第 1 の実施の形態で説明した第 1 の不純物 1 4 0 を注入するときの条件でもよい。

【 0 0 8 4 】

こうして形成された第 1 の不純物領域 2 4 2 は、溝 4 6 の直下の領域あるいは溝 4 6 及びその周辺部を含む。したがって、第 1 の実施の形態で説明した効果を、本実施の形態でも達成することができる。さらに、本実施の形態では、第 1 の不純物領域 2 4 2 の一方の端部は、フローティングゲート 1 4 の直下の領域の端部に至る。

【 0 0 8 5 】

続いて、第 1 の実施の形態の図 1 2 に示す工程を行い、さらにその後の工程を行って、半導体装置を得ることができる。

【 0 0 8 6 】

(第 3 の実施の形態)

図 1 5 は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、第 1 の不純物領域が形成される範囲において、第 1 の実施の形態と異なる。すなわち、図 1 5 に示す第 1 の不純物領域 3 4 2 が、図 2 に示す第 1 の不純物領域 4 2 と異なる。これ以外の構成は、第 1 の実施の形態と同じであり、同一の符号を付す。

【 0 0 8 7 】

まず、第 1 の実施の形態の図 5 ～図 1 0 に示す工程を行う。そして、図 1 5 に示すように、パターニングされたレジスト 3 3 0 を形成する。レジスト 3 3 0 は、溝 4 6 あるいは溝 4 6 及びその周辺部を避けて形成されている。さらに、レジスト 3 3 0 は、第 1 及び第 2 のメモリセル領域 1 0、2 0 の両方において、コントロールゲート 1 8、2 8、誘電体膜 1 6、2 6 及びフローティングゲート 1 4

、24の一部を避けて形成されている。すなわち、第1及び第2のメモリセル領域10、20の両方において、コントロールゲート18、28、誘電体膜16、26及びフローティングゲート14、24の一部が露出するように、レジスト330が形成されている。ここで、露出部分は、第1及び第2のメモリセル領域10、20の間を向く部分である。

【0088】

このようにパターニングされたレジスト330をマスクとして、第1の不純物140を注入する。その条件は、第1の実施の形態で説明した第1の不純物140を注入するときの条件でもよい。

【0089】

こうして形成された第1の不純物領域342は、溝46の直下の領域あるいは溝46及びその周辺部を含む。したがって、第1の実施の形態で説明した効果を、本実施の形態でも達成することができる。さらに、本実施の形態では、第1の不純物領域342の両端部は、第1及び第2のメモリセル領域10、20のフローティングゲート14、24の直下の領域の端部に至る。

【0090】

続いて、第1の実施の形態の図12に示す工程を行い、さらにその後の工程を行って、半導体装置を得ることができる。

【0091】

(第4の実施の形態)

図16及び図17は、本発明の第4の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、第1及び第2の不純物領域が形成される範囲において、第1の実施の形態と異なる。また、第1の実施の形態と同じ構成には同一の符号を付して説明する。

【0092】

まず、第1の実施の形態の図5～図10に示す工程を行う。そして、図15に示すように、パターニングされたレジスト420を形成する。レジスト420は、溝46あるいは溝46及びその周辺部を避けて形成されている。さらに、レジスト420は、第1及び第2のメモリセル領域10、20の一方を避けて形成さ

れている。そして、レジスト420は、第1及び第2のメモリセル領域10、20の他方を覆っている。すなわち、第1及び第2のメモリセル領域10、20の一方の表面と、第1及び第2のメモリセル領域10、20の間の領域の表面と、が露出するように、レジスト420は形成されている。

【0093】

このようにパターニングされたレジスト420をマスクとして、第1の不純物450を注入する。例えば、第1の実施の形態で説明した第2の不純物150を注入するときの条件で、第1の不純物450を注入することができる。

【0094】

こうして形成された第1の不純物領域442は、溝46の直下の領域あるいは溝46及びその周辺部を含む。また、第1の不純物領域442は、第1及び第2のメモリセル領域10、20のうちのレジスト420が避けた方において、フローティングゲート14の両側の領域も含む。また、第1の不純物領域442は、フローティングゲート14の直下の領域の端部も含む。

【0095】

この第1の不純物領域442におけるフローティングゲート14の両側の部分は、ソース及びドレイン432、434になる。

【0096】

次に、図17に示すように、パターニングされたレジスト422を形成する。レジスト422は、溝46あるいは溝46及びその周辺部を避けて形成されている。さらに、レジスト422は、第1及び第2のメモリセル領域10、20の他方を避けて形成されている。そして、レジスト422は、第1及び第2のメモリセル領域10、20の一方を覆っている。すなわち、第1及び第2のメモリセル領域10、20の他方の表面と、第1及び第2のメモリセル領域10、20の間の領域の表面と、が露出するように、レジスト422は形成されている。

【0097】

このようにパターニングされたレジスト422をマスクとして、第2の不純物452を注入する。例えば、第1の実施の形態で説明した第2の不純物150を注入するときの条件で、第2の不純物452を注入することができる。

【 0 0 9 8 】

こうして形成された第 2 の不純物領域 4 4 4 は、溝 4 6 の直下の領域あるいは溝 4 6 及びその周辺部を含む。また、第 2 の不純物領域 4 4 4 は、第 1 及び第 2 のメモリセル領域 1 0、2 0 のうちのレジスト 4 2 2 が避けた方において、フローティングゲート 2 4 の両側の領域も含む。また、第 2 の不純物領域 4 4 4 は、フローティングゲート 2 4 の直下の領域の端部も含む。

【 0 0 9 9 】

この第 2 の不純物領域 4 4 4 におけるフローティングゲート 2 4 の両側の部分は、ソース及びドレイン 4 3 6、4 3 8 になる。

【 0 1 0 0 】

上記第 1 及び第 2 の不純物領域 4 4 2、4 4 4 は、溝 4 6 の直下の領域あるいは溝 4 6 及びその周辺部で、重複して形成されて接続領域 4 4 0 を構成している。接続領域 4 4 0 は、溝 4 6 が形成されているので部分的に変形しているが、第 1 及び第 2 の不純物 4 5 0、4 5 2 の両方が注入されているので、不純物濃度が高くなって電氣的抵抗が低くなっている。したがって、第 1 の実施の形態で説明した効果を、本実施の形態でも達成することができる。

【 0 1 0 1 】

続いて、第 1 の実施の形態で説明した層間絶縁膜 4 8 の形成工程を行い、さらにその後の工程を行って、半導体装置を得ることができる。

【 0 1 0 2 】

図 1 8 には、上述した実施の形態に係る方法によって製造された半導体装置 1 1 0 0 を実装した回路基板 1 0 0 0 が示されている。回路基板 1 0 0 0 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1 0 0 0 には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置 1 1 0 0 の外部電極とを機械的に接続することでそれらの電氣的導通が図られる。

【 0 1 0 3 】

そして、この回路基板 1 0 0 0 を備える電子機器として、図 1 9 には、ノート型パーソナルコンピュータ 1 2 0 0 が示されている。

【0104】

本発明は、上記実施の形態に限定されず、種々の変形が可能である。例えば、図1、14、15に示す第1の不純物領域42、242、342は、メモリセルの周辺回路を構成するMOSトランジスタのソース/ドレイン領域又はオフセット領域と同じ深さ及び濃度で、好ましくは同時に形成してもよい。特に、EPROMのメモリセルにおいては、周辺回路のNチャンネル MOSトランジスタのオフセット領域を形成するときに、メモリセルの第1の不純物領域も同時に形成できるので、工程を増やすことなく特性の改善が可能である。

【0105】

図20に示す例では、メモリセル500の周辺回路を構成するMOSトランジスタ502のソース/ドレイン領域504、506と同じ深さ及び濃度で、第1の不純物領域508が形成されている。図21に示す例では、メモリセル600の周辺回路を構成するMOSトランジスタ602のソース/ドレイン領域608、610のそれぞれが、複数の不純物領域が重ねられて形成されており、オフセット領域604、606と同じ深さ及び濃度で、第1の不純物領域612が形成されている。

【図面の簡単な説明】

【図1】

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図2】

図2は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図3】

図3は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図4】

図4は、本発明の第1の実施の形態に係る半導体装置の回路を示す図である。

【図5】

図5は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図6】

図 6 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 7】

図 7 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 8】

図 8 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 9】

図 9 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 0】

図 1 0 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 1】

図 1 1 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 2】

図 1 2 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 3】

図 1 3 は、本発明の第 2 の実施の形態に係る半導体装置を示す図である。

【図 1 4】

図 1 4 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 5】

図 1 5 は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 6】

図 1 6 は、本発明の第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 7】

図 1 7 は、本発明の第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 8】

図 1 8 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 1 9】

図 1 9 は、本実施の形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

【図 2 0】

図 2 0 は、本発明の実施の形態の変形例を示す図である。

【図 2 1】

図 2 1 は、本発明の実施の形態の変形例を示す図である。

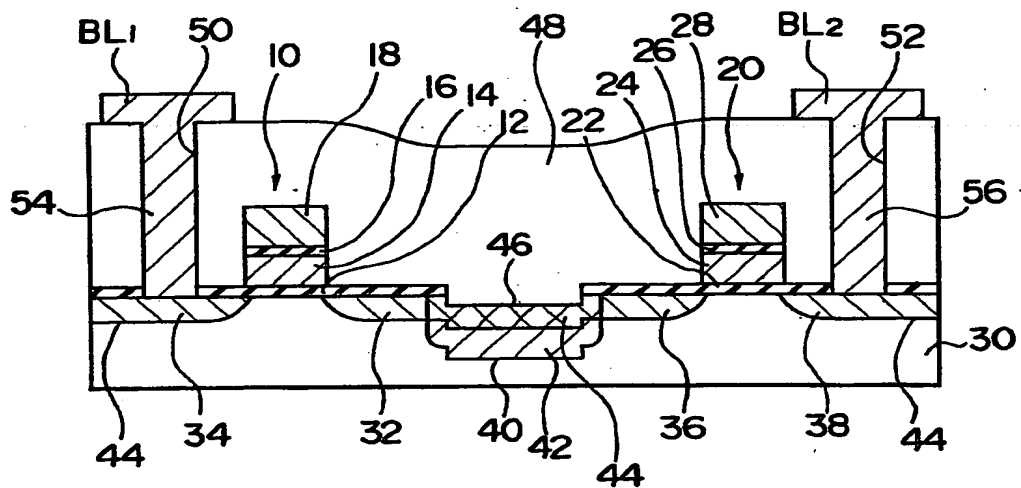
【符号の説明】

- 1 0 第 1 のメモリセル領域（セル領域）
- 1 2 トンネル絶縁膜
- 1 4 フローティングゲート
- 1 6 誘電体膜
- 1 8 コントロールゲート
- 2 0 第 2 のメモリセル領域（セル領域）
- 2 2 トンネル絶縁膜
- 2 4 フローティングゲート
- 2 6 誘電体膜
- 2 8 コントロールゲート
- 3 0 半導体基板
- 3 2 ソース／ドレイン
- 3 4 ソース／ドレイン

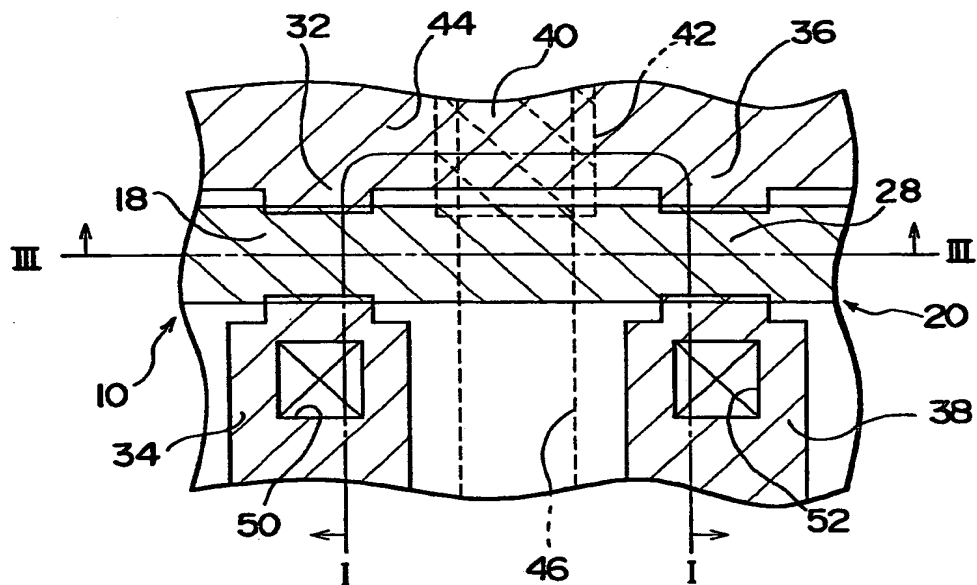
- 3 6 ソース／ドレイン
- 3 8 ソース／ドレイン
- 4 0 接続領域
- 4 2 第 1 の不純物領域
- 4 4 第 2 の不純物領域
- 4 6 溝
- 1 1 2 第 1 の絶縁膜
- 1 1 4 第 1 の導電膜
- 1 1 6 第 2 の絶縁膜
- 1 1 8 第 2 の導電膜
- 1 4 0 第 1 の不純物
- 1 5 0 第 2 の不純物

【書類名】 図面

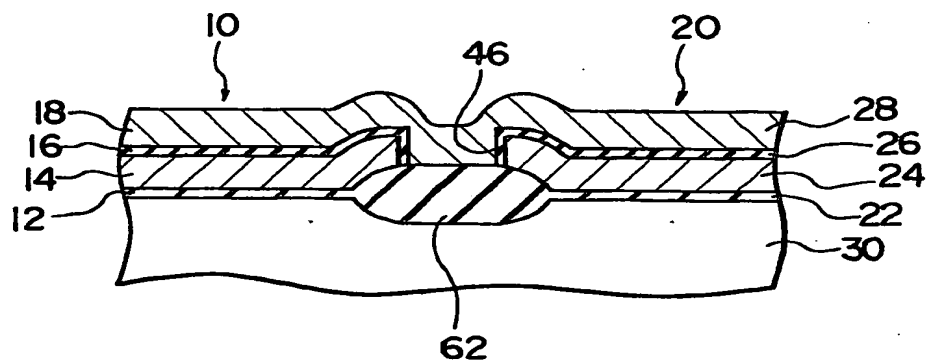
【図 1】



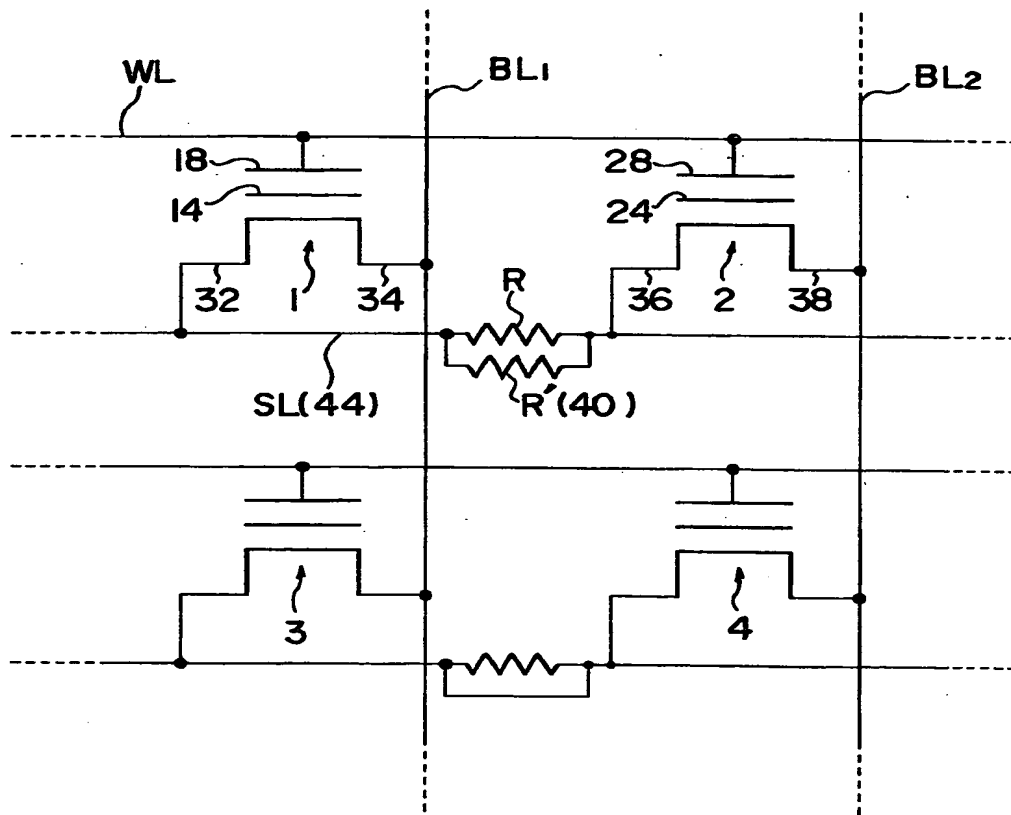
【図 2】



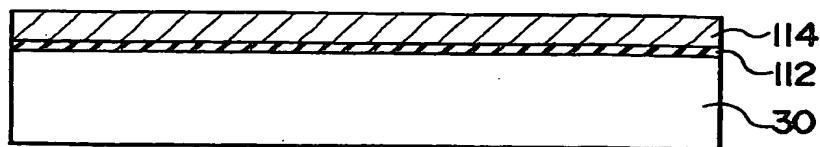
【図 3】



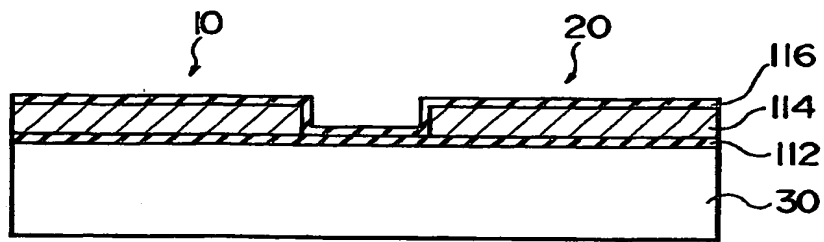
【図 4】



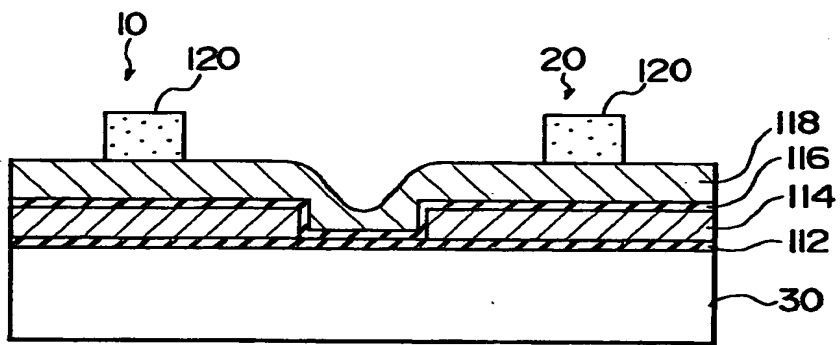
【図 5】



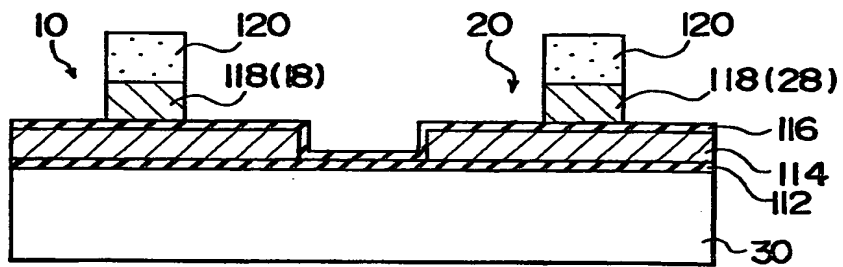
【図 6】



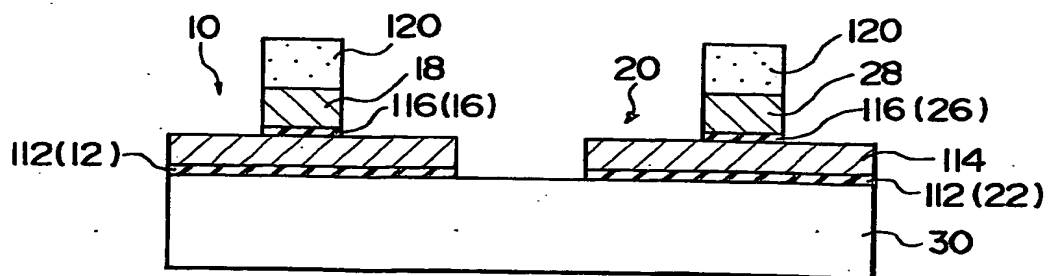
【図 7】



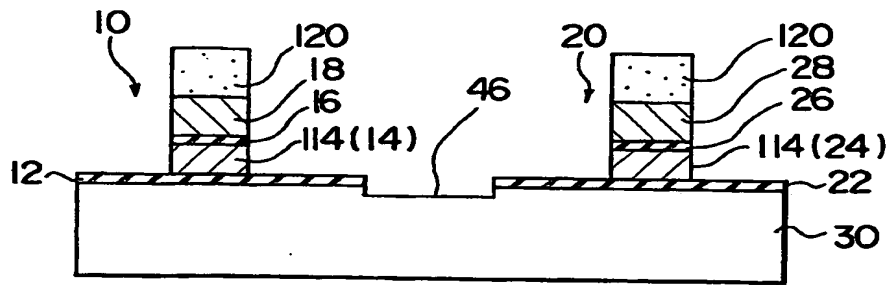
【図 8】



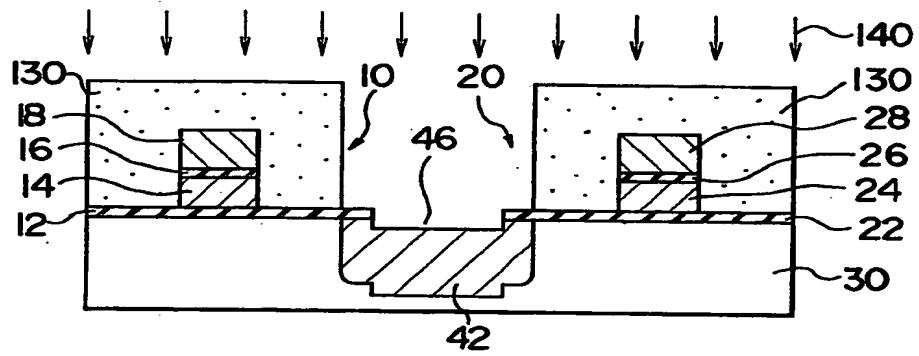
【図 9】



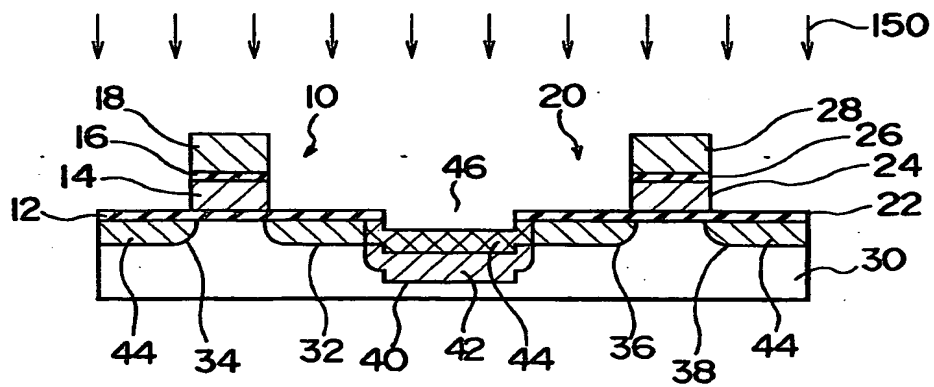
【図 10】



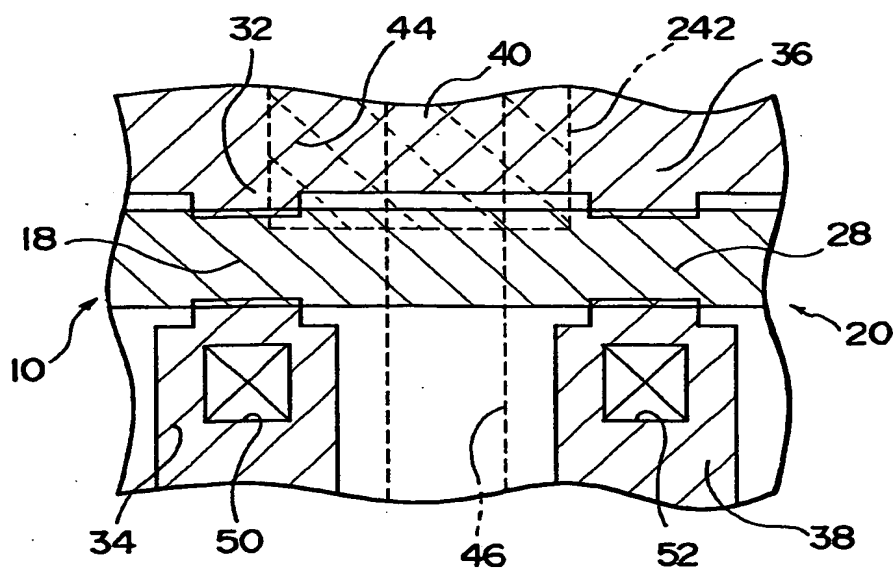
【図 11】



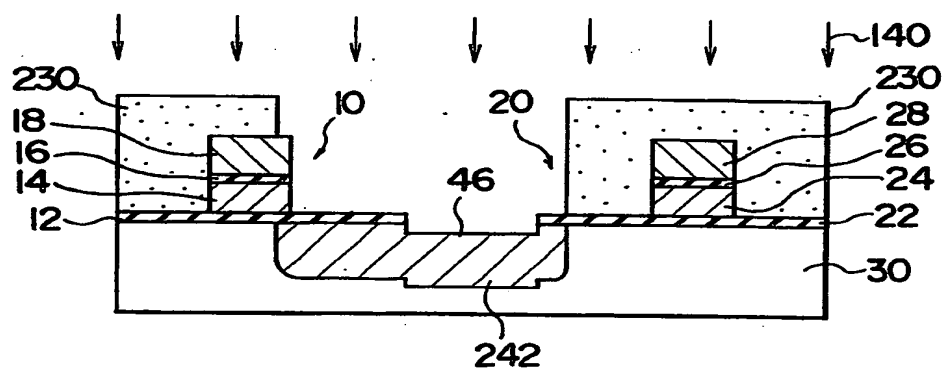
【図 12】



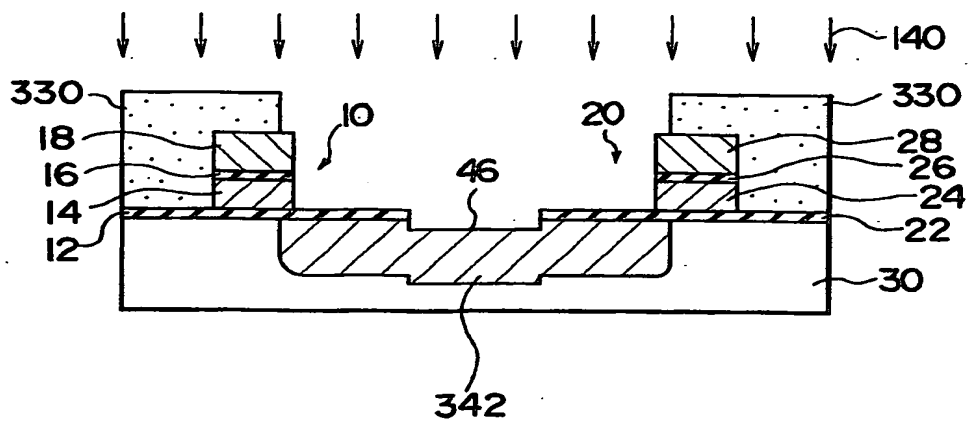
【図 13】



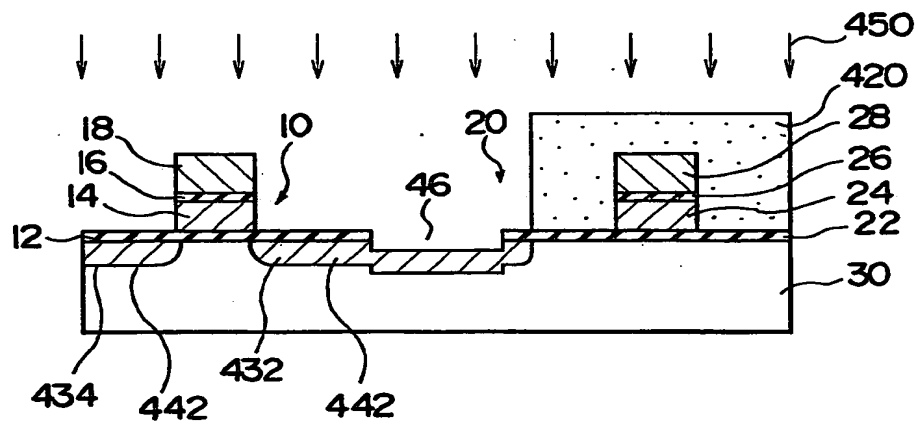
【図 14】



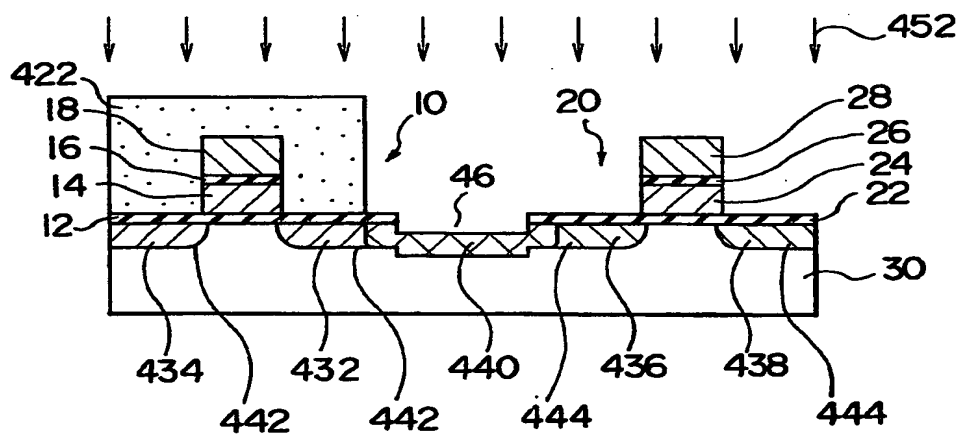
【図 15】



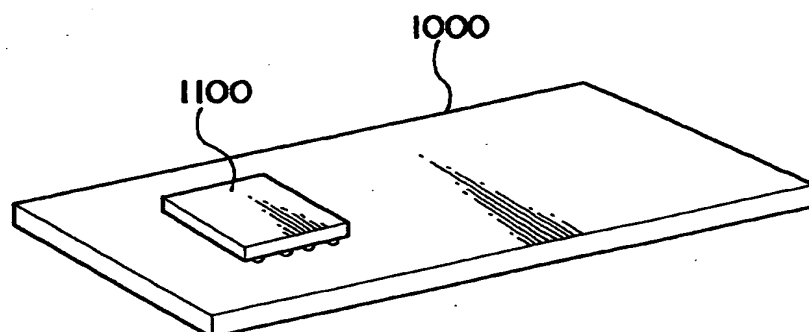
【図 1 6】



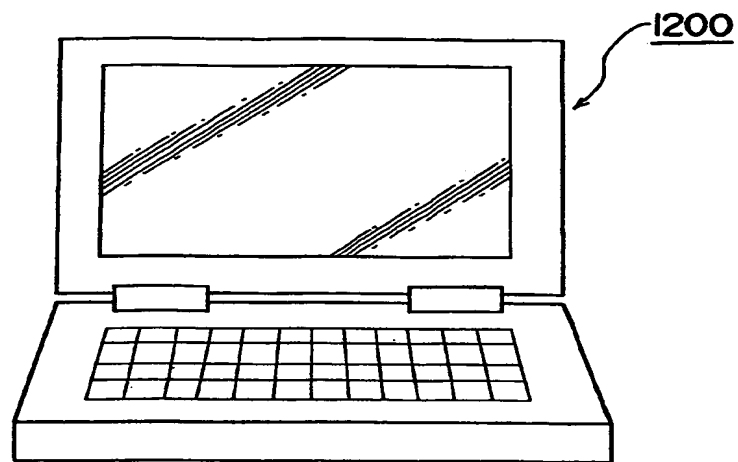
【図 1 7】



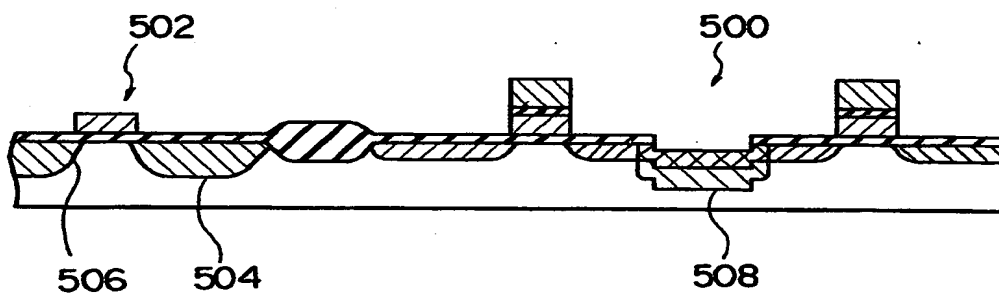
【図 1 8】



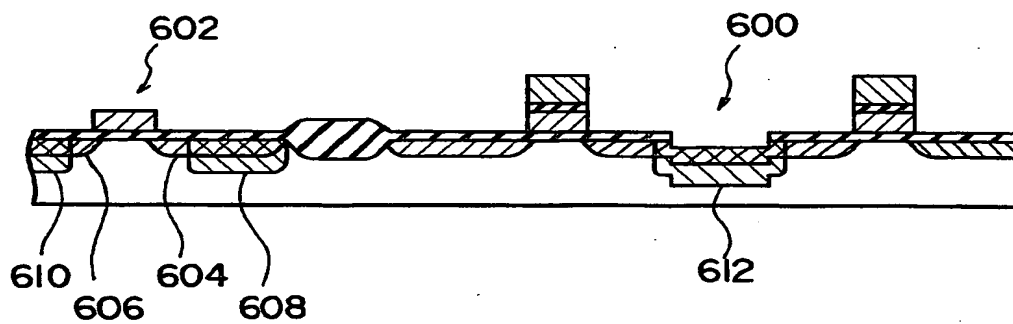
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 最小単位間の信号の伝達の遅れを防ぐ半導体装置及びその製造方法、回路基板並びに電子機器を提供する。

【解決手段】 半導体基板 3 0 における隣同士の第 1 及び第 2 のメモリセル領域 1 0、2 0 に、トンネル絶縁膜 1 2、2 2、フローティングゲート 1 4、2 4、誘電体膜 1 6、6 及びコントロールゲート 1 8、2 8 を形成する積層工程と、第 1 及び第 2 のメモリセル領域 1 0、2 0 に、ソース及びドレイン 3 2、3 4、3 6、3 8 を形成し、第 1 のメモリセル領域 1 0 のソース及びドレインの一方 3 2 と第 2 のメモリセル領域 2 0 のソース及びドレインの一方 3 6 とを電氣的に接続する接続領域 4 0 を形成する複数回の不純物領域形成工程と、を含み、接続領域 4 0 は、複数回の不純物領域形成工程の 1 回によって形成される不純物領域 4 2、4 4 よりも電氣的抵抗が低く形成される。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 11 年 特許願 第 239380 号
受付番号	59900824642
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 11 年 9 月 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一
【選任した代理人】	
【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫
【選任した代理人】	
【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	大渕 美千栄

特平 11-239380

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社